

PCT

ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE
Bureau International



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁵ : H04B 1/66		A1	(11) Numéro de publication internationale: WO 91/06155
			(43) Date de publication internationale: 2 mai 1991 (02.05.91)
(21) Numéro de la demande internationale: PCT/EP90/01666 (22) Date de dépôt international: 2 octobre 1990 (02.10.90) (30) Données relatives à la priorité: 8913360 12 octobre 1989 (12.10.89) FR (71) Déposant (pour tous les Etats désignés sauf US): AGENCE SPATIALE EUROPEENNE [FR/FR]; 8-10, rue Mario-Nikis, F-75738 Paris Cédex 15 (FR). (72) Inventeur; et (75) Inventeur/Déposant (US seulement): ZAREMBOVITCH, Alain [FR/NL]; J.Th. De Visserstraat 53, NL-ZH Katwijk (NL). (74) Mandataires: VANDERPERRE, Robert etc.; Bureau Vander Haeghen, Avenue de la Toison d'Or 63, B-1060 Bruxelles (BE).			(81) Etats désignés: AT (brevet européen), BE (brevet européen), CA, CH (brevet européen), DE (brevet européen)*, DK (brevet européen), ES (brevet européen), FR (brevet européen), GB (brevet européen), IT (brevet européen), JP, LU (brevet européen), NL (brevet européen), SE (brevet européen), US. Publiée Avec rapport de recherche internationale.

(54) Title: CODE ACQUISITION METHOD AND CIRCUIT FOR A SPREAD SPECTRUM SIGNAL RECEIVER

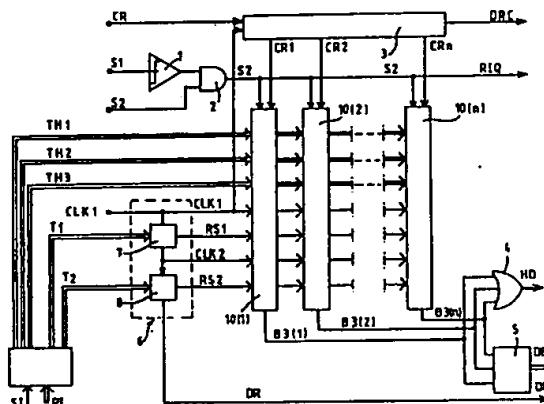
(54) Titre: PROCÉDE ET CIRCUIT D'ACQUISITION DE CODE POUR RECEPTEUR DE SIGNAL A SPECTRE ETALÉ

(57) Abstract

The spread spectrum signal (S1) is converted into a digital binary signal (S2) having one binary character, and this binary signal is applied to several parallel detector circuits (10) each of which detects a distinct code position. Each detector circuit (10) simultaneously receives a phase-shifted version of a binary reference code (CR) and produces a signal (B3) which has a first binary state when the received signal corresponds to the code position of the detector circuit, and has a second binary state when this is not the case. The output signals (B3) are combined and/or coded in order to identify the correct code position for demodulating the received signal. The invention is used in communication systems receivers.

(57) Abrégé

Le signal à spectre étalé (S1) est converti en signal binaire quantifié (S2) à un élément binaire, et ce signal binaire est appliqué à plusieurs circuits de détection (10) en parallèle, chacun de ces circuits de détection étant destiné à détecter une position de code distincte. Chaque circuit de détection (10) reçoit simultanément une version décalée d'un code de référence binaire (CR) et produit un signal (B3) ayant un premier état binaire lorsque le signal reçu correspond à la position de code du circuit de détection et ayant un second état binaire dans le cas contraire. Les signaux de sortie (B3) sont combinés et/ou codés pour identifier la position de code correcte afin de démoduler le signal reçu. L'invention est utilisée dans les récepteurs des systèmes de communications.



DESIGNATIONS OF "DE"

Until further notice, any designation of "DE" in any international application whose international filing date is prior to October 3, 1990, shall have effect in the territory of the Federal Republic of Germany with the exception of the territory of the former German Democratic Republic.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AT	Austria	ES	Spain	MG	Madagascar
AU	Australia	FI	Finland	ML	Mali
BB	Barbados	FR	France	MR	Mauritania
BE	Belgium	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	United Kingdom	NL	Netherlands
BG	Bulgaria	GR	Greece	NO	Norway
BJ	Benin	HU	Hungary	PL	Poland
BR	Brazil	IT	Italy	RO	Romania
CA	Canada	JP	Japan	SD	Sudan
CF	Central African Republic	KP	Democratic People's Republic of Korea	SE	Sweden
CG	Congo	KR	Republic of Korea	SN	Senegal
CH	Switzerland	LI	Liechtenstein	SU	Soviet Union
CI	Côte d'Ivoire	LK	Sri Lanka	TD	Chad
CM	Cameroon	LU	Luxembourg	TC	Togo
DE	Germany	MC	Monaco	US	United States of America
DK	Denmark				

PROCÉDE ET CIRCUIT D'ACQUISITION DE CODE
POUR RECEPTEUR DE SIGNAL A SPECTRE ÉTALÉ

La présente invention concerne un procédé et un circuit d'acquisition de code pour un récepteur de signal à spectre étalé, c'est-à-dire un récepteur destiné à démoduler un signal produit par la modulation d'un signal électrique avec un code binaire et bruité.

Un signal modulé par un code binaire est utilisé par exemple dans les systèmes de communications radioélectriques et les systèmes radar à compression d'impulsions. Un récepteur destiné à recevoir et démoduler un signal modulé en MDP (modulation par déplacement de phase) par un code binaire doit contenir un circuit organisé pour procéder à une recherche initiale afin de déterminer la position correcte du code du signal bruité reçu parmi un grand ensemble de positions possibles, la séquence binaire du code étant supposée connue a priori. Ce procédé de recherche est appelé "acquisition de code" et le circuit ayant pour fonction d'effectuer cette recherche est appelé circuit d'acquisition de code.

La plupart des circuits d'acquisition de code connus sont basés sur la mise en oeuvre d'un procédé de traitement des signaux comprenant un processus de corrélation (désétalement) suivi d'un processus de détection quadratique. Après amplification et transposition dans la bande de fréquences adéquate (fréquence intermédiaire ou bande de base), le signal reçu est mélangé avec un code de référence fixé pour une position de

code donnée, puis le signal mélangé est filtré et élevé au carré, et ensuite il est appliqué à un circuit intégrateur. La sortie de l'intégrateur est comparée à un seuil et lorsque le niveau du signal intégré traverse le niveau du seuil, cela indique que, selon toute probabilité, le signal reçu est un signal à spectre étalé et que la position de code de ce signal concorde avec la position du code de référence.

10 S'il y a concordance de position entre le signal bruité reçu et le code de référence, le signal présent à la sortie du mélangeur est une porteuse à bande étroite. La bande large du bruit, quant à elle, se trouve étalée davantage par le processus de mélange avec le code de référence et le filtre à bande étroite qui suit le mélangeur rejette le bruit à bande large et améliore ainsi le rapport porteuse/bruit.

20 Par contre, s'il y a défaut de concordance entre les positions du code de référence et du signal bruité reçu, la porteuse, tout comme le bruit à la sortie du mélangeur, sont des signaux à bande large et le filtre à bande étroite les rejette tous deux. Le rapport porteuse/bruit reste alors inchangé.

25 La largeur de bande du filtre étroit détermine la bande de réception de la porteuse. Elle doit être suffisamment large pour contenir une porteuse à bande étroite affectée par un effet Doppler et par l'incertitude de fréquence inhérente aux oscillateurs locaux.

30 D'autre part, la largeur de bande du filtre doit être suffisamment étroite pour rejeter la plupart des bruits à bande large et la porteuse étalée lorsque la position du code de référence n'est pas correcte.

Au processus de corrélation décrit ci-dessus fait suite un processus de détection quadratique qui a pour but de détecter la présence d'une porteuse dans un bruit blanc gaussien additif. Le temps d'intégration et le seuil sont ajustés pour détecter une porteuse désétalée (cas équivalent à une position de code correcte) et pour ne pas détecter une porteuse étalée (cas équivalent à une position de code incorrecte), et cela avec un degré de fiabilité élevé. Typiquement, la probabilité de détection voulue est supérieure à 0,9 et la probabilité désirée de fausse acquisition par tentative est inférieure à 0,001.

Pour obtenir une réjection rapide des positions de code incorrectes, la sortie de l'intégrateur peut être évaluée durant l'intégration au lieu de l'être à la fin de l'opération comme décrit plus haut. Ce processus modifié, appelé acquisition séquentielle, réduit le temps d'acquisition par un facteur d'environ deux à trois.

Dans les circuits d'acquisition connus le processus de corrélation est effectué sur des signaux analogiques et le filtrage se fait donc à l'aide d'un filtre analogique. Ensuite, le signal désétalé est échantillonné et quantifié au moyen d'un convertisseur analogique-numérique à multiples éléments binaires. Le processus de traitement ultérieur est effectué en numérique.

Ce processus connu présente les inconvénients suivants :

a) la réalisation du traitement partiellement en analogique entraîne un manque de souplesse, une construc-

tion complexe non reproductible et, dans certaines applications, la nécessité d'accorder le circuit;

5 b) nécessité d'utiliser au moins un convertisseur analogique-numérique complexe et coûteux;

10 c) la réalisation matérielle du processus d'acquisition séquentielle plus rapide conduit souvent à utiliser des processeurs numériques microprogrammés de traitement du signal, qui sont des circuits complexes travaillant à peu près à leur pleine capacité.

15 Ces inconvénients empêchent généralement la réalisation d'un traitement parallèle qui permettrait d'augmenter la vitesse d'acquisition car un tel traitement parallèle dans ce cas conduirait à des circuits beaucoup trop complexes.

20 Le but de la présente invention est de pallier ces inconvénients en résolvant le problème consistant à augmenter la vitesse d'acquisition d'un code tout en conservant au circuit d'acquisition un minimum de complexité.

25 Pour résoudre ce problème, l'invention propose un système d'acquisition de code qui met en oeuvre un procédé d'acquisition numérique et un circuit d'acquisition de construction simple permettant la réalisation d'un traitement parallèle rapide.

30 Un aspect de l'invention a pour objet un procédé d'acquisition de code pour démoduler un signal à spectre étalé produit par la modulation d'un signal électrique avec un code binaire, lequel procédé est remarquable en ce qu'on convertit le signal à spectre étalé

35

en signal binaire quantifié à un élément binaire, on connecte en parallèle plusieurs circuits de détection binaires, chacun d'eux étant destiné à détecter une position de code distincte, et on connecte les circuits de détection binaires pour recevoir le signal binaire. A chaque circuit de détection on applique simultanément une version décalée dans le temps distincte d'un code de référence binaire de manière à détecter une position distincte du code, chaque circuit de détection produisant un signal ayant un premier état binaire lorsque le signal reçu correspond à la position de code du circuit de détection et ayant un second état binaire dans le cas contraire, et on utilise l'ensemble des signaux de sortie des circuits de détection pour identifier la position de code correcte afin de démoduler le signal reçu.

L'invention a également pour objet un circuit d'acquisition de code pour récepteur de signal à spectre étalé produit par modulation d'un signal électrique avec un code binaire, remarquable en ce qu'il comprend un détecteur de passage par zéro pour convertir le signal à spectre étalé en un signal binaire à un élément binaire, plusieurs circuits de détection binaires ayant leurs premières entrées connectées en parallèle pour recevoir le signal binaire, chaque circuit de détection étant destiné à détecter une position de code distincte, et produire un signal de détection binaire ayant un premier état binaire lorsque le signal reçu pendant une période de temps prédéterminée concorde avec la position de code du circuit de détection et ayant un second état binaire dans le cas contraire, un registre à décalage progressant en réponse à des impulsions d'horloge, ledit registre à décalage ayant la sortie d'un étage distinct connectée

à une seconde entrée d'un circuit de détection distinct, l'entrée du registre à décalage étant connectée pour recevoir un code de référence binaire de manière que chaque sortie d'étage dudit registre délivre une version décalée dans le temps du code de référence binaire.

Des moyens de sortie combinent et/ou codent les signaux de détection de tous les circuits de détection de manière à identifier la position de code correcte du signal reçu en vue de sa démodulation.

Une forme de réalisation préférée pour les circuits de détection comprend un circuit OU-exclusif ayant une entrée pour recevoir le signal d'entrée binaire et une entrée pour recevoir le code de référence binaire dans une version décalée dans le temps et ayant une sortie pour produire un signal binaire désétalé, un premier moyen pour accumuler des signaux binaires chaque fois que le signal est à l'état logique 1 pendant une première période d'intégration prédéterminée de manière à produire un premier signal accumulé, des moyens pour comparer la valeur du premier signal accumulé à deux niveaux de seuil prédéterminés et pour produire un second signal binaire ayant un état logique 1 lorsque ledit premier signal accumulé est compris entre les deux valeurs de seuil, un moyen pour accumuler des signaux binaires chaque fois que ledit second signal binaire est un état logique 1 pendant une deuxième période d'intégration prédéterminée de manière à produire un second signal accumulé, et un moyen comparateur connecté à la sortie du premier moyen accumulateur afin de produire un signal de détection binaire lorsque le second signal accumulé dépasse un troisième niveau de seuil prédéterminé.

Les avantages obtenus grâce à l'invention sont un temps d'acquisition considérablement plus petit que celui qu'il est possible d'obtenir avec les circuits d'acquisition connus et la possibilité de réaliser le circuit sous forme d'un circuit intégré.

L'invention est exposée plus en détail dans ce qui suit à l'aide des dessins joints qui représentent un mode de réalisation exemplaire.

La figure 1 est un schéma général d'un circuit d'acquisition conforme à l'invention.

La figure 2 est un schéma par blocs d'un circuit de détection exemplaire utilisé dans le circuit d'acquisition de la figure 1.

Un circuit d'acquisition selon l'invention est représenté à la figure 1. Le signal d'entrée à spectre étalé S1 est reçu dans un détecteur de passage par zéro 1 qui convertit continuellement le signal analogique d'entrée en un signal numérique S2 à un élément binaire : un signal positif se trouve converti en un signal logique 1 et un signal négatif se trouve converti en un signal logique 0. Le signal binaire S2 est transféré vers plusieurs circuits de détection numériques 10. Le circuit-ET 2 (facultatif) est prévu dans ce mode d'exécution exemplaire pour permettre également de transférer directement un signal d'entrée binaire S2 en contournant le détecteur 1 qui n'est pas nécessaire dans ce cas.

Le signal binaire S2 est appliqué à plusieurs circuits de détection 10 en parallèle, chaque circuit de détection étant destiné à détecter une position de code

différente. Outre le signal S2, chaque circuit de détection 10 reçoit également une version décalée différente d'un code de référence binaire CR. Ces versions décalées du code de référence CR sont produites par un registre à décalage 3 progressant en réponse à des impulsions d'horloge CLK1. Les versions décalées du code de référence sont désignées par les signes de référence CR1, CR2 ... CRn.

10 Chaque circuit de détection 10 est agencé comme illustré schématiquement à la figure 2. Le signal binaire S2 est reçu à une entrée d'un circuit OU-exclusif 11 dont une autre entrée reçoit le code de référence binaire CR dans une version décalée dans le temps

15 distincte (CR1, CR2 ... CRn). Le rôle du circuit OU-exclusif 11 est de désétaler la porteuse étalée, représentée par le signal binaire S2, au moyen du code de référence CR lorsque la position du code reçu et celle du code de référence coïncident. Le signal S3

20 obtenu à la sortie du circuit OU-exclusif 11 est un signal binaire. Lorsque la position du code reçu et celle du code de référence CRi sont différentes, ou lorsqu'un bruit seul est présent à l'entrée du récepteur, le signal S3 est aléatoire et prend un état 0 ou

25 un état 1 avec une égale probabilité. Par contre, lorsque le code reçu et le code de référence ont la même position, le signal S3 se maintient essentiellement dans un des états logiques (0 ou 1) suivant la phase de la porteuse pendant la période d'intégration

30 T1. Le signal S3 est introduit dans un compteur à incrémentation 12 progressant en réponse à des impulsions d'horloge CLK1. A chaque impulsion d'horloge CLK1, le contenu du compteur 12 mis à jour, son contenu augmente d'une unité lorsque et seulement lorsque

35 le signal S3 est à l'état logique 1. Le compteur 12

est remis à zéro à chaque transition d'un signal de remise à zéro RS1.

5 Juste avant la remise à zéro du compteur 12, le contenu ACC1 du compteur (exprimé par un nombre de N1 éléments binaires) est transféré dans les comparateurs 13 et 14 en parallèle pour y être comparé à deux niveaux de seuil. Dans le comparateur 13 le contenu ACC1 est comparé à un seuil inférieur TH1 et dans le comparateur 10 14 le contenu ACC1 est comparé à un seuil supérieur TH2. Les seuils TH1 et TH2 sont des nombres entiers à N1 éléments binaires, déterminés par l'utilisateur. La sortie B1 du comparateur 13 est à l'état 1 lorsque le contenu ACC1 du compteur 12 est supérieur 15 au seuil inférieur TH1 et elle est à l'état 0 dans le cas contraire. De même, la sortie B2 du comparateur 14 est à l'état 1 lorsque le contenu ACC1 du compteur 12 est supérieur au seuil supérieur TH2 et à l'état 0 dans le cas contraire. Les sorties des comparateurs 13 et 14 sont combinées dans un circuit logique 15 réalisant la fonction logique :

$$S4 = \overline{B1} . OU . B2$$

25 Si les seuils TH1 et TH2 sont choisis par l'utilisateur de telle sorte que $TH2 = T1 - TH1$, les dispositifs 13, 14 et 15 réalisent une fonction ayant pour effet d'éliminer le biais dû au bruit du contenu variable ACC1, prendre la valeur absolue du contenu et 30 comparer celle-ci à un seuil $TH2 - T1/2$.

L'état logique du signal S4 indique si le contenu du compteur 12 est compris entre les seuils TH1 et TH2 ou si ce contenu est situé en dehors de cette gamme de 35 valeurs. Le signal S4 est à l'état 1 lorsque le conte-

nu ACC1 est compris entre les deux seuils TH1 et TH2; le signal S4 est à l'état 0 lorsque le contenu ACC1 a une valeur située en dehors de la gamme de valeurs comprise entre les deux seuils.

5

Le signal binaire S4 à la sortie du circuit logique 15 est introduit dans un second compteur à incrémentation 16 progressant en réponse à des impulsions d'horloge CLK2. A chaque impulsion d'horloge, le contenu du compteur 16 est mis à jour : il se trouve incrémenté lorsque et uniquement lorsque le signal S4 est un état logique 1 lors d'une transition du signal d'horloge CLK2. Le compteur 16 se trouve remis à zéro en réponse à un signal de remise à zéro RS2. Le rôle du compteur 16 est de filtrer la valeur absolue du signal désétalé à spectre étroit.

10

15

Le contenu ACC2 du compteur 16 est comparé à un seuil TH3 dans le comparateur 17. La comparaison peut se faire de façon continue ou à la fin de la période d'intégration fixée par le signal de remise à zéro RS2. Le seuil TH3 est un nombre entier à N2 bits, fixé par l'utilisateur. La sortie B3 du comparateur 17 est un état logique 1 lorsque le contenu ACC2 est plus grand que le seuil TH3 et elle est un état logique 0 dans les autres cas. A la fin de la période d'intégration, le signal B3 indique si la position du code du signal reçu coïncide avec la position du code de référence appliqué à l'entrée du circuit de détection.

20

25

30

Les sorties B3(1), B3(2) ... B3(n) des circuits de détection 10 sont combinées dans un circuit-OU 4. Celui-ci produit un signal HD qui est à l'état logique 1 lorsque l'un quelconque des signaux de détection B3(1), B3(2) ... B3(n) est un état logique 1, c'est-à-

35

dire lorsqu'un circuit de détection 10 a détecté une position de code correcte. Un codeur binaire 5, qui reçoit aussi les sorties B3(1), B3(2) ... B3(n) des circuits de détection 10, identifie celle des positions de code qui est correcte et produit un signal d'identification en format binaire noté DE. Dans le cas où plusieurs positions de référence sont déclarées positives durant le temps d'intégration T2, le signal DE désigne l'adresse du circuit de détection qui a détecté en premier une position de code correcte, et par conséquent la position de code correspondante. La position de code détectée sert alors pour la démodulation du signal reçu dans le récepteur.

Il est clair que le circuit d'acquisition selon l'invention permet, dans une période d'intégration T2 donnée, d'acquérir le code beaucoup plus rapidement que par un processus d'acquisition séquentiel. Avec un registre à décalage 3 comportant N étages, le temps d'acquisition est N fois plus petit qu'avec un circuit d'acquisition comportant un seul détecteur. La mise en parallèle de N détecteurs dans le circuit d'acquisition de code selon l'invention n'est cependant pratiquement réalisable que grâce au procédé de détection binaire mis en oeuvre dans chaque circuit de détection et à la simplicité de réalisation de ce circuit de détection.

Les impulsions d'horloge et les signaux de remise à zéro sont engendrés à partir d'une horloge-mère délivrant des impulsions d'horloge CLK1 ayant avantageusement une fréquence égale au double du débit de code. Celui-ci est de préférence grand par rapport à la fréquence centrale du spectre du signal d'entrée S1. Les impulsions d'horloge CLK1 provenant d'une horloge-

dire lorsqu'un circuit de détection 10 a détecté une position de code correcte. Un codeur binaire 5, qui reçoit aussi les sorties B3(1), B3(2) ... B3(n) des circuits de détection 10, identifie celle des positions de code qui est correcte et produit un signal d'identification en format binaire noté DE. Dans le cas où plusieurs positions de référence sont déclarées positives durant le temps d'intégration T2, le signal DE désigne l'adresse du circuit de détection qui a détecté en premier une position de code correcte, et par conséquent la position de code correspondante. La position de code détectée sert alors pour la démodulation du signal reçu dans le récepteur.

Il est clair que le circuit d'acquisition selon l'invention permet, dans une période d'intégration T2 donnée, d'acquérir le code beaucoup plus rapidement que par un processus d'acquisition séquentiel. Avec un registre à décalage 3 comportant N étages, le temps d'acquisition est N fois plus petit qu'avec un circuit d'acquisition comportant un seul détecteur. La mise en parallèle de N détecteurs dans le circuit d'acquisition de code selon l'invention n'est cependant pratiquement réalisable que grâce au procédé de détection binaire mis en oeuvre dans chaque circuit de détection et à la simplicité de réalisation de ce circuit de détection.

Les impulsions d'horloge et les signaux de remise à zéro sont engendrés à partir d'une horloge-mère délivrant des impulsions d'horloge CLK1 ayant avantageusement une fréquence égale au double du débit de code. Celui-ci est de préférence grand par rapport à la fréquence centrale du spectre du signal d'entrée S1. Les impulsions d'horloge CLK1 provenant d'une horloge-

mère (non représentée) sont reçues dans un circuit de génération 6.. Les impulsions CLK1 sont appliquées directement à l'entrée d'horloge du registre à décalage 3 et au compteur 12 dans chaque circuit de détection 10. Le signal périodique de remise à zéro RS1 du premier étage de détection ainsi que les impulsions d'horloge CLK2 utilisées dans le second étage de détection sont produits par division de la fréquence du signal CLK1 par un nombre entier T1 dans un circuit diviseur 7. La transition du signal RS1 précède la transition du signal CLK2 de quelques impulsions d'horloge CLK1. Le signal périodique de remise à zéro RS2 du second étage de détection est produit par division de la fréquence du signal CLK2 par un nombre entier T2 dans un circuit diviseur 8.

La performance de détection (probabilité de détection et probabilité de fausse alarme) d'un circuit d'acquisition tel que décrit ci-dessus peut être réglée au moyen de cinq paramètres programmables, à savoir :

T1 : le temps d'intégration du compteur 12 (détection cohérente), exprimé par un nombre entier d'impulsions d'horloge CLK1.

TH1 : le seuil inférieur pour la détection cohérente, exprimé par un nombre de N1 bits.

TH2 : le seuil supérieur pour la détection cohérente, exprimé par un nombre de N1 bits.

T2 : le temps d'intégration du compteur 16 (détection non cohérente), exprimée par un nombre entier d'impulsions périodes d'horloge CLK2.

TH3 : le seuil pour la détection non cohérente exprimé par un nombre de N2 bits.

5 Du point de vue construction, le circuit possède deux degrés de liberté : le nombre de bits N1 et le nombre de bits N2.

10 A la fin de chaque période d'intégration T2, le circuit de génération 6 produit un signal de sortie DR indiquant que les données de sortie HD et DE sont prêtes.

15 Dans un mode d'exécution exemplaire, les paramètres TH1, TH2, TH3, T1 et T2 peuvent être multiplexés afin de limiter le nombre de broches du circuit. Le circuit d'interface 9 représenté dans la figure 1 permet à la fois la connexion (PI) avec un dispositif d'interface parallèle compatible avec un microprocesseur et la connexion (SI) avec un dispositif d'interface série.

20 Le mode de réalisation de l'invention décrit dans ce qui précède est un exemple donné à titre illustratif et l'invention n'est nullement limitée à cet exemple. Toute modification, toute variante et tout agencement
25 équivalent doivent être considérés comme compris dans le cadre de l'invention.

30 Par exemple, la sortie DRC du registre à décalage 3 et la sortie RIQ peuvent servir à la connexion avec d'autres circuits d'acquisition afin d'accroître encore les possibilités de traitement parallèle. Egalement, le degré d'intégration déjà élevé du circuit d'acquisition selon l'invention peut encore être accru si
35 l'on décale les impulsions d'horloge pour chaque circuit de détection individuellement. Dans ce cas, en

5 effet, un ensemble de comparateurs 13, 14 et/ou 17 seulement peut être utilisé pour plusieurs ou tous les circuits de détection grâce à la technique de l'accès par partage dans le temps. Cela est parfaitement possible puisque les comparateurs dans un circuit de détection ne sont utilisés que pendant une période de quelques impulsions d'horloge seulement. Un autre exemple intéressant est la réalisation du circuit avec un seuil TH3 qui se trouve ajusté dynamiquement.

REVENDICATIONS

1. Procédé d'acquisition de code pour démoduler un signal à spectre étalé produit par la modulation d'un signal électrique avec un code binaire, caractérisé en ce qu'on convertit le signal à spectre étalé (S1) en signal binaire (S2),
5 on connecte en parallèle plusieurs circuits de détection binaires (10), chacun d'eux étant destiné à détecter une position de code distincte,
on connecte les circuits de détection binaires (10)
10 pour recevoir le signal binaire (S2),
on applique simultanément à chaque circuit de détection (10) une version décalée dans le temps distincte (CR1, CR2 ... CRn) d'un code de référence binaire (CR), chaque circuit de détection (10) produisant un
15 signal (B3) ayant un premier état binaire lorsque le signal reçu correspond à la position de code du circuit de détection et ayant un second état binaire dans le cas contraire,
on utilise l'ensemble des signaux de sortie (B3) des
20 circuits de détection (10) pour identifier la position de code correcte afin de démoduler le signal reçu.
2. Circuit d'acquisition de code pour récepteur de signal à spectre étalé produit par modulation d'un signal électrique avec un code binaire,
25 caractérisé en ce qu'il comprend un détecteur de passage par zéro (1) pour convertir le signal à spectre étalé (S1) en un signal binaire (S2) à un élément binaire,
30 plusieurs circuits de détection binaires (10) ayant leurs premières entrées connectées en parallèle pour recevoir le signal binaire (S2), chaque circuit de détection étant destiné à détecter une position de code

distincte, et produire un signal de détection binaire (B3) ayant un premier état binaire lorsque le signal reçu pendant une période de temps prédéterminée (T2) concorde avec la position de code du circuit de détection et ayant un second état binaire dans le cas contraire,

un registre à décalage (3) progressant en réponse à des impulsions d'horloge (CLK1), ledit registre à décalage ayant la sortie d'un étage distinct connectée à une seconde entrée d'un circuit de détection (10) distinct, l'entrée du registre à décalage (3) étant connectée pour recevoir un code de référence binaire (CR) de manière que chaque sortie d'étage dudit registre délivre une version décalée dans le temps (CR1, CR2 ... CRn) du code de référence binaire (CR), et des moyens de sortie (4, 5) pour combiner et/ou coder les signaux de détection (B3) de tous les circuits de détection (10) de manière à identifier la position de code correcte du signal à spectre étalé reçu.

20

3. Dispositif selon la revendication 2, caractérisé en ce que chaque circuit de détection (10) comprend un circuit OU-exclusif (11) ayant une entrée pour recevoir le signal d'entrée binaire (S2) et une entrée pour recevoir le code de référence binaire dans une version décalée dans le temps (CR1, CR2 ... CRn) et ayant une sortie pour produire un signal binaire désétalé (S3),

un premier moyen (12) pour accumuler des signaux binaires chaque fois que le signal (S3) est à l'état logique 1 pendant une première période d'intégration (T1) prédéterminée de manière à produire un premier signal accumulé (ACC1),

des moyens (13, 14, 15) pour comparer la valeur du premier signal accumulé (ACC1) à deux niveaux de seuil

35

(TH1, TH2) prédéterminés et pour produire un second signal binaire (S4) ayant un état logique 1 lorsque ledit premier signal accumulé (ACC1) est compris entre les deux niveaux de seuil (TH1, TH2),

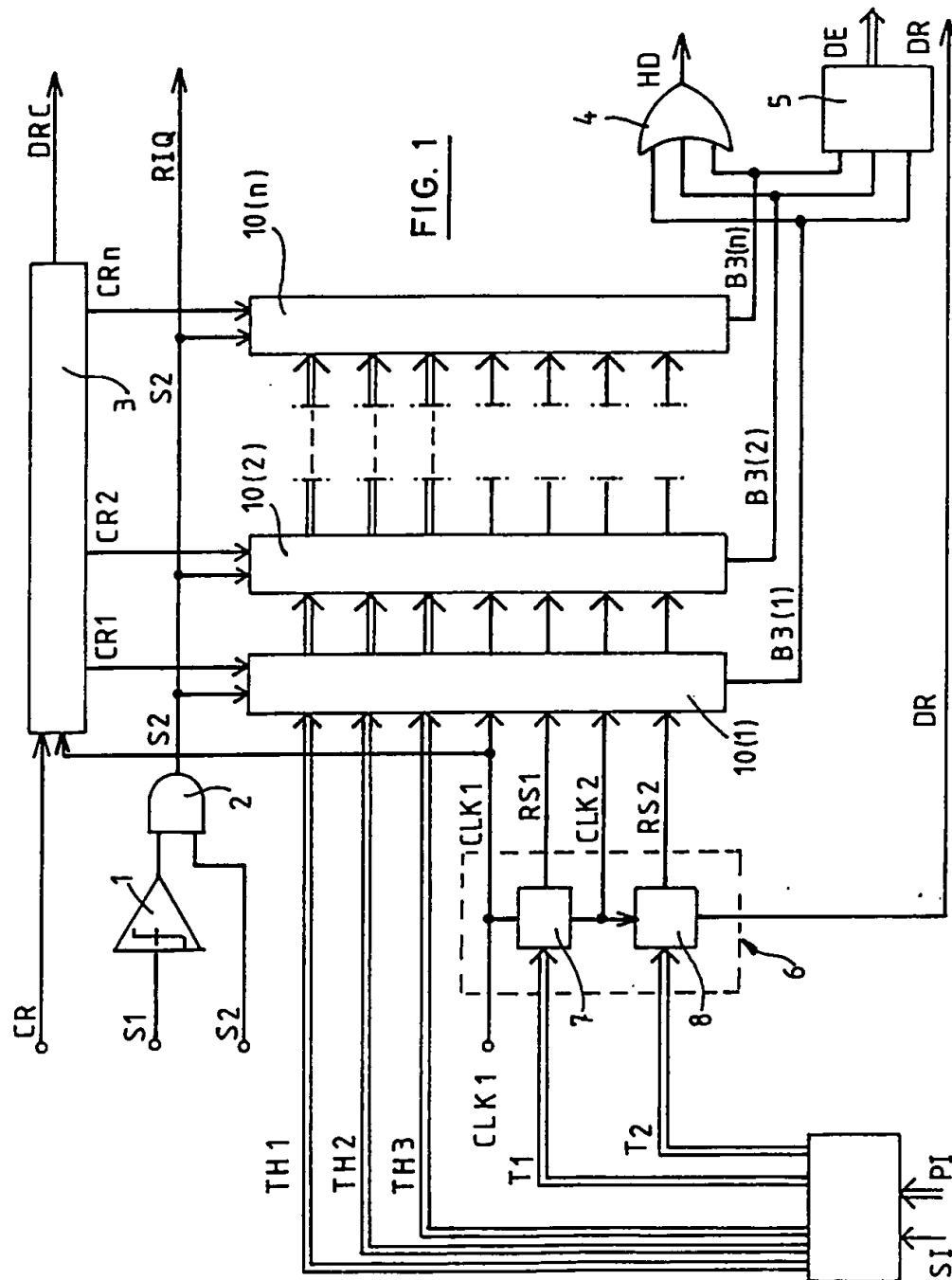
5 un moyen (16) pour accumuler des signaux binaires chaque fois que ledit second signal binaire (S4) est un état logique 1 pendant une deuxième période d'intégration (T2) prédéterminée de manière à produire un second signal accumulé (ACC2), et

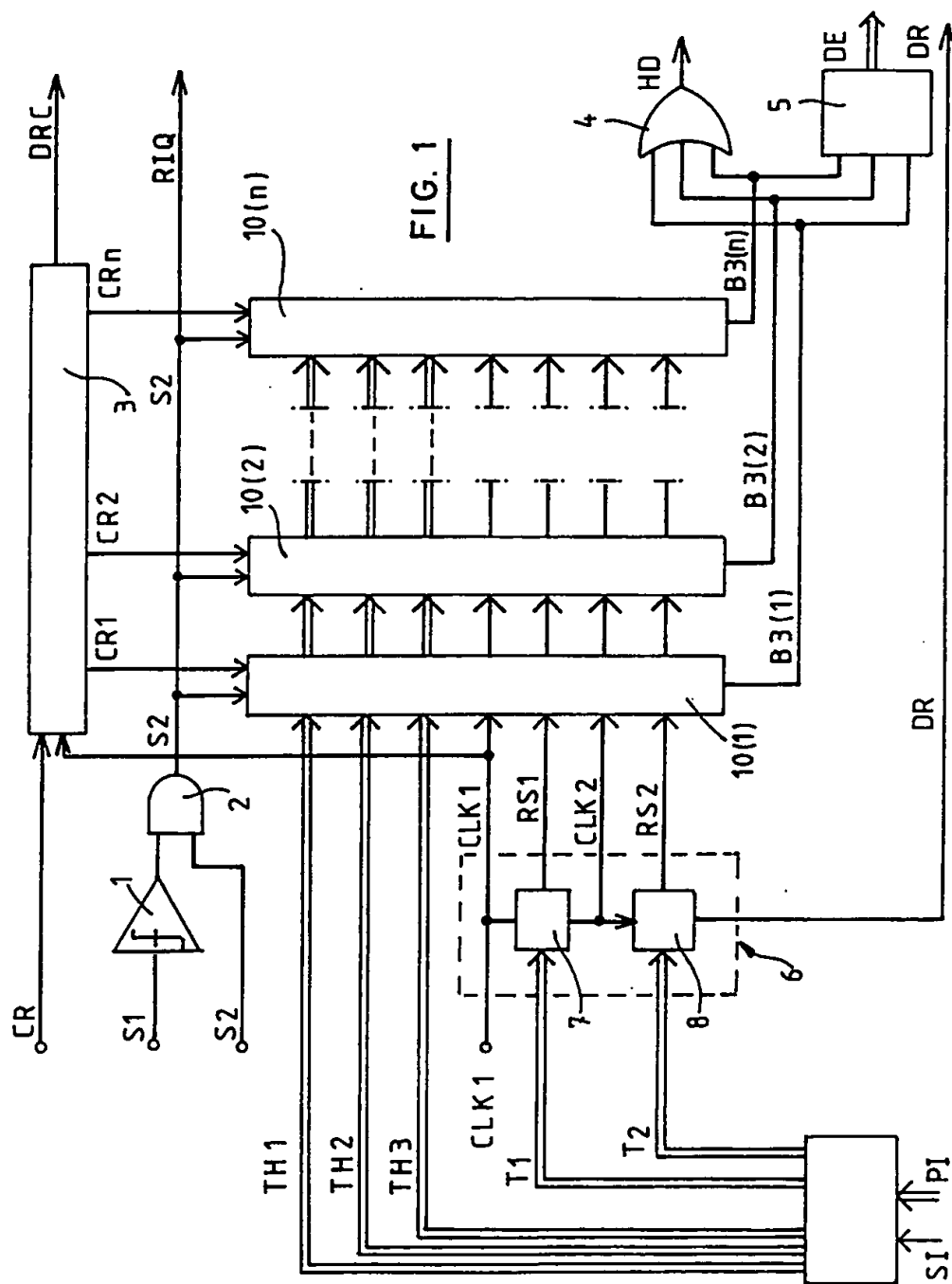
10 un moyen comparateur (17) connecté à la sortie du premier moyen accumulateur (16) afin de produire un signal de détection binaire (B3) lorsque le second signal accumulé (ACC2) dépasse un troisième niveau de seuil (TH3) prédéterminé.

15 4. Dispositif selon la revendication 3, caractérisé en ce que les moyens accumulateur (13-15) comprennent des comparateurs (13, 14) connectés à la sortie dudit premier moyen accumulateur (12) afin de produire un premier signal (B1) lorsque le premier signal accumulé (ACC1) dépasse un niveau de seuil inférieur (TH1) et

20 produire un deuxième signal (B2) lorsque ledit premier signal accumulé (ACC1) dépasse un niveau de seuil supérieur (TH2), et un circuit logique (15) pour combiner lesdits premier et deuxième signaux (B1 et B2)

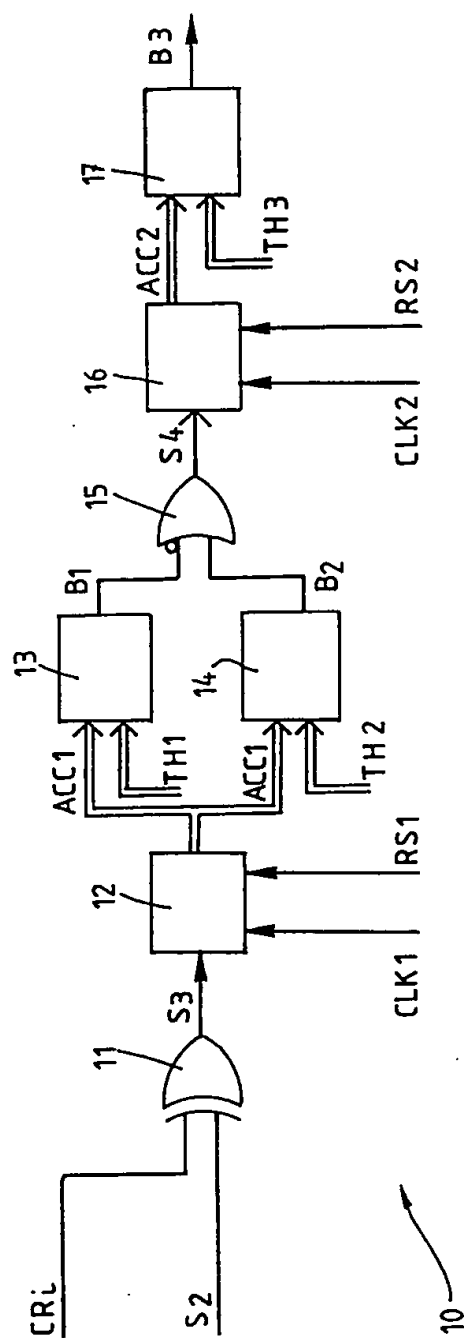
25 et produire le second signal binaire (S4) précité suivant la fonction logique $S4 = \overline{B1} . OU . B2$.





2/2

FIG. 2



INTERNATIONAL SEARCH REPORT

International Application No PCT/EP90/01666

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl. ⁵ : H04B 1/66		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
Int. Cl. ⁵	H04B; H04L	
Documentation Searched other than Minimum Documentation to the extent that such Documents are included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	US, A, 4774715 (MESSENGER) 27 September 1988, see column 3, lines 31-35; column 4, lines 8-22; column 5, lines 41-58; figure 1	1
A	---	2
Y	Proceedings of Melecon'87 Mediterranean Electrotechnical conference, 24-26 March 1987, Rome, Italy, (New York, US), M.K. Sust et al.: "All digital signal processing in a spread spectrum communication system", pages 157-161 see page 157, right column, line 1 - page 158, right column, line 28; figure 2	1
A	Patent Abstracts of Japan, volume 8, no. 135 (E-252)(1572), 22 June 1984, & JP, A, 5945739 (HITACHI) 14 March 1984, see the abstract	3
<p>¹⁰ Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"Z" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
18 December 1990 (18.12.90)	21 January 1992 (21.01.91)	
International Searching Authority	Signature of Authorized Officer	
European Patent Office		

ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.

EP 9001666
SA 40716

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on 16/01/91
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

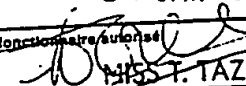
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A- 4774715	27-09-88	None	

EPO FORM P0019

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale N° PCT/EP 90/01666

I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) ⁷ Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
CIB ⁵ : H 04 B 1/66		
II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTÉ Documentation minimale consultée ⁸		
Système de classification	Symboles de classification	
CIB ⁵	H 04 B, H 04 L	
Documentation consultée autre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté ⁹		
III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS ¹⁰		
Catégorie ^a	Identification des documents cités, ¹¹ avec indication, si nécessaire, des passages pertinents ¹²	N° des revendications visées ¹³
Y	US, A, 4774715 (MESSENGER) 27 septembre 1988 voir colonne 3, lignes 31-35; colonne 4, lignes 8-22; colonne 5, lignes 41-58; figure 1	1
A	--	2
Y	Proceedings of Melecon'87 Mediterranean Electrotechnical Conference, 24-26 mars 1987, Rome, Italy, (New York, US), M.K. Sust et al.: "All digital signal processing in a spread spectrum communication system", pages 157-161 voir page 157, colonne de droite, ligne 1 - page 158, colonne de droite, ligne 28; figure 2 -- ./.	1
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>• Catégories spéciales de documents cités: ¹⁴</p> <p>« A » document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>« E » document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>« L » document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>« O » document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>« P » document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> </div> <div style="width: 45%;"> <p>« T » document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>« X » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive</p> <p>« Y » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier.</p> <p>« > » document qui fait partie de la même famille de brevets</p> </div> </div>		
IV. CERTIFICATION		
Date à laquelle la recherche internationale a été effectivement achevée <div style="text-align: center; font-weight: bold;">18 décembre 1990</div>	Date d'expédition du présent rapport de recherche internationale <div style="text-align: center; font-weight: bold;">21 JAN 1991</div>	
Administration chargée de la recherche internationale <div style="text-align: center; font-weight: bold;">OFFICE EUROPEEN DES BREVETS</div>	Signature du fonctionnaire autorisé <div style="text-align: center;">  MISS T. TAZELAAR </div>	

III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		(SUITE DES RENSEIGNEMENTS INDICUÉS SUR LA DEUXIÈME FEUILLE)
Catégorie *	Identification des documents cités, avec indication, si nécessaire, des passages pertinents	N° des revendications visées
A	<p>Patent Abstracts of Japan, volume 8, no. 135 (E-252)(1572), 22 juin 1984 & JP, A, 5945739 (HITACHI) 14 mars 1984 voir l'abrégé</p> <p>-----</p>	3

**ANNEXE AU RAPPORT DE RECHERCHE INTERNATIONALE
RELATIF A LA DEMANDE INTERNATIONALE NO.**

EP 9001666
SA 40716

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche internationale visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 16/01/91
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US-A- 4774715	27-09-88	Aucun	

EPO FORM P002

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82